

## PATENT COOPERATION TREATY

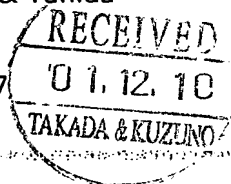
PCT

From the INTERNATIONAL BUREAU

NOTIFICATION CONCERNING  
SUBMISSION OR TRANSMITTAL  
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

TAKADA, Mamoru  
Takada, Kuzuno, Takahashi & Tanida  
5th Floor, Intec 88 Bldg.  
20, Araki-cho  
Shinjuku-ku, Tokyo 160-0007  
JAPON

Date of mailing (day/month/year) 03 December 2001 (03.12.01)	
Applicant's or agent's file reference NEL01210 (G547NE)	IMPORTANT NOTIFICATION
International application No. PCT/JP01/08910	International filing date (day/month/year) 11 October 2001 (11.10.01)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 11 October 2000 (11.10.00)
Applicant NTT ELECTRONICS CORPORATION et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(\*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
11 Octo 2000 (11.10.00)	2000-310708	JP	30 Nove 2001 (30.11.01)

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

S. Mandallaz 

Telephone No. (41-22) 338.83.38



# 特許協力条約

発信人 日本国特許庁（受理官庁）

出願人代理人

高田 守

あて名

〒160-0007

東京都新宿区荒木町20番地 インテック 8  
8ビル5階 高田・葛野国際特許事務所



殿

P C T

## 国際出願番号及び 国際出願日の通知書

（法施行規則第22条、第23条）  
〔PCT規則20.5(c)〕

PCT/JP01/08910

RO105

発送日（日、月、年）

23.10.01

出願人又は代理人

の書類記号

NEL01210

重 要 な 通 知

国際出願番号

PCT/JP01/08910

国際出願日（日、月、年）

11.10.01

優先日（日、月、年）

11.10.00

出願人（氏名又は名称）

エヌティティエレクトロニクス株式会社

1. この国際出願は、上記の国際出願番号及び国際出願日が付与されたことを通知する。

記録原本は、23日10月01年に国際事務局に送付した。

### 注 意

- 国際出願番号は、特許協力条約を表示する「PCT」の文字、斜線、受理官庁を表示する2文字コード（日本の場合JP）、西暦年の最後から2桁の数字、斜線、及び5桁の数字からなっています。
- 国際出願日は、「特許協力条約に基づく国際出願に関する法律」第4条第1項の要件を満たした国際出願に付与されます。
- あて名等を変更したときは、速やかにあて名の変更届等を提出して下さい。
- 電子計算機による漢字処理のため、漢字の一部を当用漢字、又は、仮名に置き換えて表現してある場合もありますので御了承下さい。
- この通知に記載された出願人のあて名、氏名（名称）に誤りがあるときは申出により訂正します。
- 国際事務局は、受理官庁から記録原本を受領した場合には、出願人にその旨を速やかに通知（様式PCT/IB/301）する。記録原本を優先日から14箇月が満了しても受領していないときは、国際事務局は出願人にその旨を通知する。〔PCT規則22.1(c)〕

名称及びあて名

日本国特許庁（RO/JP）

郵便番号 100-8915 TEL03-3592-1308

日本国東京都千代田区霞が関三丁目4番3号

様式PCT/RO/105（1998年7月）

権限のある職員

特 許 庁 長 官



PCT

## 国際調査報告

(法8条、法施行規則第40、41条)  
[PCT18条、PCT規則43、44]



② サーチレポート

出願人又は代理人 の書類記号 NEL01210	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP01/08910	国際出願日 (日.月.年) 11.10.01	優先日 (日.月.年) 11.10.00
出願人(氏名又は名称) エヌティティエレクトロニクス株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L 7/033 H03L7/08 H03K 5/26

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L 7/033 H03L7/08 H03K 5/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2001年  
 日本国実用新案登録公報 1996-2001年  
 日本国登録実用新案公報 1994-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 11-122232 A (富士通株式会社) 30. 4月. 1999 (30. 04. 99), 第1図とその説明 (ファミリーなし)	1-7
A	J P 6-268514 A (株式会社東芝) 22. 9月. 1994 (22. 09. 94), 第1図とその説明 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

17. 12. 01

国際調査報告の発送日

25.12.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘



5K

9382

電話番号 03-3581-1101 内線 3555





C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 7-38544 A (沖電気工業株式会社) 07. 2月. 1995 (07. 02. 95), 第2図とその説明 (ファミリーなし)	1-7
A	J P 6-37838 A (ソニー株式会社) 10. 2月. 1994 (10. 02. 94), 第1図とその説明 (ファミリーなし)	1-7



(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002 年 4 月 18 日 (18.04.2002)

PCT

(10) 国際公開番号  
WO 02/32041 A1

(51) 国際特許分類: H04L 7/033, H03L 7/08, H03K 5/26

(21) 国際出願番号: PCT/JP01/08910

(22) 国際出願日: 2001 年 10 月 11 日 (11.10.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2000-310708  
2000 年 10 月 11 日 (11.10.2000) JP

(71) 出願人 (米国を除く全ての指定国について): エヌティ  
ティエレクトロニクス株式会社 (NTT ELECTRON-  
ICS CORPORATION) [JP/JP]; 〒150-0043 東京都渋谷  
区道玄坂一丁目12番1号 渋谷マークシティ Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 竹尾 泰人  
(TAKEO, Yasuhito) [JP/JP]. 十林 正俊 (TOBAYASHI,

Masatoshi) [JP/JP]; 〒150-0043 東京都渋谷区道玄坂  
一丁目12番1号 渋谷マークシティ エヌティティ  
エレクトロニクス株式会社内 Tokyo (JP). 広瀬正樹  
(HIROSE, Masaki) [JP/JP]; 〒229-0004 神奈川県相模  
原市古淵二丁目2番1-405号 Kanagawa (JP). 赤澤幸雄  
(AKAZAWA, Yukio) [JP/JP]; 〒259-1133 神奈川県伊  
勢原市東大竹628番8号 Kanagawa (JP).

(74) 代理人: 高田 守, 外 (TAKADA, Mamoru et al.); 〒  
160-0007 東京都新宿区荒木町20番地 インテック 88  
ビル5階 高田・葛野国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CA, JP, US.

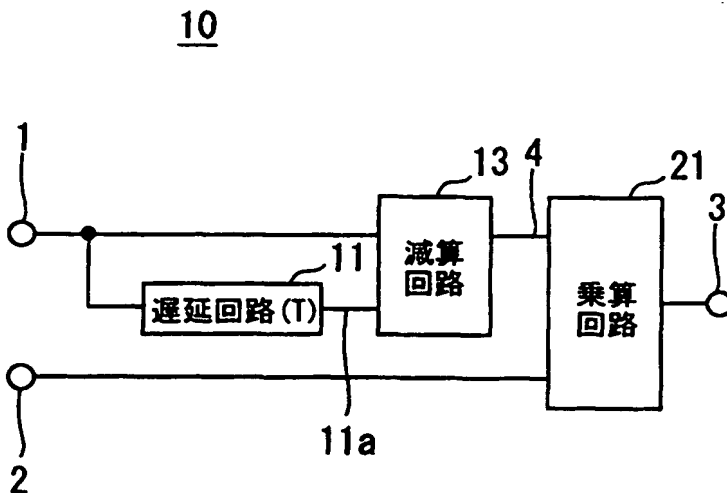
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE,  
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される  
各 PCT ガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(54) Title: PHASE COMPARATOR CIRCUIT

(54) 発明の名称: 位相比較回路



11...DELAY CIRCUIT (T)

13...SUBTRACTOR CIRCUIT

21...MULTIPLIER CIRCUIT

(57) Abstract: A phase comparator circuit that compares the phases of random NRZ signals in a phase synchronizing circuit without losing greatly the synchronism when the same-sign data is inputted and has a phase conversion characteristic of high linearity when the phases are brought in synchronism. The function of preventing the phase synchronizing circuit from greatly losing synchronism is realized by using a phase comparator circuit of a circuit structure as shown by equations (1), (2), for example, a phase comparator circuit having the structure shown in Figure 11. Since the duty ratio of the pulse appearing at the output terminal (3) of a multiplier circuit (62) approaches 50% as the phases approach their synchronized state, the phase conversion characteristic does not distort, thereby realizing high linearity of the phase conversion characteristic when the phases are in synchronism.

[続葉有]

WO 02/32041 A1



---

(57) 要約:

位相同期回路におけるランダムNRZ信号同士の位相比較を行う動作において、同符号データ入力時に同期が大きく外れることがなく、かつ位相同期時における位相変換特性が高い線形性を有する位相比較回路を提供する。

式(1)または(2)に示されるような回路構成の位相比較回路、例えば図11に示されるような回路構成の位相比較回路を用いることにより、位相同期回路として同期が大きく外れない機能を実現することができる。さらに、位相同期状態に近くなるほど乗算回路62の出力端子3に現れるパルスのデューティー比は50%へ近づくため、位相変換特性の歪みは現れず、位相同期時の位相変換特性の高い線形性を実現することができる。

## 1

## 明 細 書

## 位相比較回路

5

## 技 術 分 野

本発明は、位相比較回路に関し、特にランダムNRZ信号からクロック抽出を行うための位相同期回路の一構成要素として用いられる位相比較回路に関する。

10

## 背 景 技 術

ランダムNRZ (Non-Return-to-Zero) 信号からクロックを抽出し、信号を再生する用途に用いられる位相比較回路は、(1)ランダムNRZ  
15 信号に含まれる同符号データ入力時に同期が大きく外れないようなくみ、かつ(2)位相同期時の位相変換特性の線形性が要求される。ここでランダムNRZ信号は、パルス幅が符号の長さと同じパルス符号形式である。上述の(1)は主に再生された信号のビット誤り率を著しく低下させないための要求項目であり、(2)は主に抽出されたクロックの  
20 高品質性を実現するための要求項目である。

上述の(1)の要求項目である同符号入力時に同期が大きく外れないようにすることに対処するため、位相比較回路としては、同符号データ入力時にいかなる波形も出力しないという手法がしばしば採られる。一方、上述の(2)の要求項目である位相同期時の位相変換特性の線形性の確保の為には、位相同期時に、位相比較回路の出力波形のパルス幅を  
25 ある程度の広さに保つ必要がある。

図 1 3 は、従来のクロック抽出および信号再生の用途に用いられる位相比較回路の回路図を示す。図 1 3 において、符号 8 0 は位相比較回路、符号 8 1 と 8 2 とはランダム NRZ 信号入力の差動端子対、8 3 と 8 4 とは端子 8 1 と 8 2 とに入力された信号と同じパターンを持ちかつ位相が  $\theta$  だけ遅れたランダム NRZ 信号を入力する差動端子対、8 5 と 8 6 とは端子 8 1 と 8 2 とに入力された信号の周期  $T$  の半周期分である時間  $T/2$  だけ遅延したランダム NRZ 信号を入力する差動端子対、9 1 と 9 2 とは位相比較回路 8 0 の出力の差動端子対であり、8 7 は高電位電源 ( $V_{cc}$ ) 端子、8 8 は低電位電源 ( $G$ ) 端子、9 3 ( $R_1$ ) と 9 4 ( $R_2$ ) とは抵抗、7 1 ないし 7 8 はバイポーラトランジスタ、9 5 と 9 6 とは低電流回路である。以下の文献を参照されたい (N. Ishihara and Y. Akazawa, "A Monolithic 156Mb/s Clock and Data Recovery PLL Circuit Using the Sample-and-Hold Technique", IEEE J. Solid State Circuits, Vol. 29, pp. 1566-1571, Dec. 1994)。

図 1 4 は、図 1 3 に示される位相比較回路 8 0 を用いた位相同期回路 (PLL) のタイミングチャートを示す。図 1 4 (A) に示されるように位相比較回路 8 0 の差動端子対 8 1 と 8 2 とにランダム NRZ 信号を入力し、図 1 4 (B) に示されるように差動端子対 8 3 と 8 4 とに図 1 4 (A) と同じパターンを持ちかつ位相が  $\theta$  だけ遅れたランダム NRZ 信号を入力する。この結果、位相同期回路 8 0 の出力の差動端子対 9 1 と 9 2 とには、図 1 4 (C) に示されるように、この位相差  $\theta$  に対応したパルス幅  $a$  を持つ信号が出力される。位相同期回路では、この位相差が  $180^\circ$  になるように、すなわちランダム NRZ 信号の半周期分である時間  $T/2$  だけ遅延させるように負帰還がかかり、この結果、図 1 4 (C) に示されるように、位相同期状態に近くなるほど、出力の差動端子対 9 1 と 9 2 とにおけるパルス幅  $a$  が狭くなる。図 1 4 (A) ないし

(C)に示されるように、ある一定量より狭くなったパルス幅に対して、位相比較回路 80 は容量等の影響により物理的に追従出来なくなり、不正確となる。

図 15 は、従来の位相比較回路 80 の位相変換特性を示す。図 15 で、  
5 縦軸は差動端子対 91 と 92 とにおける直流電圧成分であり、横軸は上述の位相差である。図 15 に示されるように、理想的には点線で示される位相変換特性が、上述の位相比較回路 80 では歪みのあるような特性となり、位相変換特性の線形性が損なわれている。このように線形性が損なわれた位相変換特性を有する位相比較回路 80 をクロック抽出及び  
10 信号再生の用途として位相同期回路に用いた場合、位相比較回路 80 で正確に位相差検出が出来ないために、抽出されたクロックにはジッタと呼ばれる時間軸方向の波形の揺れが発生する。

上述のように、位相変換特性の線形性の悪い位相比較回路を用いた位相同期回路から抽出されたクロックは、クロックとしての品質を著しく  
15 欠くものとなるという問題があった。

### 発 明 の 開 示

そこで、本発明の目的は、上記問題を解決するためになされたもので  
20 あり、位相同期回路におけるランダム NRZ 信号同士の位相比較を行う動作において、同符号入力時に同期が大きく外れることがなく、かつ位相同期時における位相変換特性が高い線形性を有する位相比較回路を提供することにある。

この発明の位相比較回路は、周期  $T$  のランダム NRZ 信号  $V_i(t)$   
25 と、 $V_i(t)$  と同じ周期およびパターンを有し、かつ  $V_i(t)$  から位相が  $\theta$  だけ遅れた信号  $V_i(t - \theta T / 2\pi)$  とを入力し、前記 2 つの

信号の間の位相差  $\theta$  に対応する直流電圧成分を含む信号を出力する位相比較回路であって、該位相比較回路の出力  $V_o(t)$  が、

$$V_o(t) = (V_i(t) - V_i(t-T)) \times V_i(t - \theta T / 2\pi)$$

5

であり、ここで、信号  $V_i(t-T)$  は信号  $V_i(t)$  の周期  $T$  だけ遅延した信号であることを特徴とするものである。

この発明の位相比較回路は、2つの入力信号の間の位相差に対応する直流電圧成分を含む信号を出力する位相比較回路であって、入力された  
10 ランダムNRZ信号の1周期である時間  $T$  だけ遅延させた信号を出力する遅延回路と、前記入力されたランダムNRZ信号と前記遅延回路によって遅延された信号との差を出力する減算回路と、前記入力されたランダムNRZ信号と同じパターンおよび前記位相差を有する他の入力されたランダムNRZ信号と前記減算回路の出力との積を出力する乗算回路  
15 とを備えたことを特徴とするものである。

この発明の位相比較回路は、2つの入力信号の間の位相差に対応する直流電圧成分を含む信号を出力する位相比較回路であって、入力されたランダムNRZ信号と該信号と同じパターンおよび前記位相差を有する他の入力されたランダムNRZ信号との積を出力する第1乗算回路と、  
20 前記入力されたランダムNRZ信号の1周期分である時間  $T$  だけ遅延させた信号を出力する遅延回路と、前記他の入力されたランダムNRZ信号と前記遅延回路の出力との積を出力する前記第1乗算回路と異なる第2乗算回路と、前記第1乗算回路の出力と前記第2乗算回路の出力との差を出力する減算回路とを備えたことを特徴とするものである。

25 この発明の位相比較回路は、2つの入力信号間の位相差に対応する直流電圧成分を含む信号を出力する位相比較回路であって、入力されたラ



ンダムNRZ信号に対する遅延量を所定の第1信号により制御して出力する第1電圧制御遅延回路と、入力されたランダムNRZ信号と前記第1電圧制御遅延回路から出力された信号との差を出力する減算回路と、入力されたランダムNRZ信号と同じ周期とパターンおよび位相差を有する他の入力されたランダムNRZ信号と前記減算回路の出力との積を出力する乗算回路と、前記第1電圧制御遅延回路を制御する制御回路であって、入力されたランダムNRZ信号の周期Tと同じ周期を有するクロック信号を出力する発振回路と、前記発振回路が出力するクロック信号と所定の第2信号との位相差を検出して出力する位相差検出回路と、前記位相差検出回路が出力する信号から低周波成分を抽出し、前記所定の第1信号として出力するローパス・フィルタと、前記ローパス・フィルタが出力する前記所定の第1信号に基づいて前記位相差検出回路へ前記所定の第2信号を送信することにより、前記発振回路が出力する信号に対する遅延量を制御する第2電圧制御遅延回路とを有する制御回路とを備えたことを特徴とする。

この発明の位相比較回路は、2つの入力信号間の位相差に対応する直流電圧成分を含む信号を出力する位相比較回路であって、入力されたランダムNRZ信号を入力されたクロック信号でサンプリングする第1識別回路と、前記第1識別回路の出力を前記入力されたクロック信号でサンプリングする第2識別回路と、前記第1識別回路の出力信号と前記第2識別回路の出力信号との差を出力する減算回路と、前記入力されたランダムNRZ信号の1周期である時間Tだけ遅延させた信号を出力する遅延回路と、前記減算回路の出力信号と前記遅延回路の出力信号との積を出力する乗算回路とを備えたことを特徴とする。

この発明の位相比較回路は、2つの入力信号の間の位相差に対応する直流電圧成分を含む信号を出力する位相比較回路であって、入力された

ランダムNRZ信号の1周期である時間Tよりやや短い時間 ( $T - \delta T$ )  
だけ遅延させた信号を出力する遅延回路と、前記入力されたランダムNRZ  
信号と前記遅延回路によって遅延された信号との差を出力する減算  
回路と、前記入力されたランダムNRZ信号と同じパターンおよび前記  
5 位相差を有する他の入力されたランダムNRZ信号と前記減算回路の出  
力との積を出力する乗算回路とを備えたことを特徴とする。

この発明の位相比較回路は、周期TのランダムNRZ信号  $V_i(t)$   
と、 $V_i(t)$  と同じ周期およびパターンを有し、かつ  $V_i(t)$  から  
位相が  $\theta$  だけ遅れた信号  $V_i(t - \theta T / 2\pi)$  とを入力し、前記2つの  
10 信号の間の位相差  $\theta$  に対応する直流電圧成分を含む信号を出力する位相  
比較回路であって、該位相比較回路の出力  $V_o(t)$  が、

$$V_o(t) = (V_i(t) - V_i(t - (T - \delta T))) \times V_i(t - \theta T / 2\pi)$$

15 であり、ここで、信号  $V_i(t - (T - \delta T))$  は信号  $V_i(t)$  の周期T  
よりやや短い時間 ( $T - \delta T$ ) だけ遅延した信号であることを特徴とする。

#### 図面の簡単な説明

20 図1は、本発明の実施の形態1におけるランダムNRZ信号に対する  
位相比較回路を示すブロック図である。

図2は、本発明の実施の形態1における位相同期回路を示すブロック  
図である。

図3は、本発明の実施の形態1の位相同期回路30におけるタイミン  
グチャートを示す図である。  
25

図4は、本発明の実施の形態2におけるランダムNRZ信号に対する

位相比較回路を示すブロック図である。

図 5 は、本発明の実施の形態 3 における遅延量が時間  $T$  よりも大きい時間 ( $T + \delta T$ ) へとずれた遅延回路を使用した位相比較回路のタイミングチャートを示す図である。

5 図 6 は、本発明の実施の形態 3 における位相比較回路を示すブロック図である。

図 7 は、本発明の実施の形態 3 における位相同期回路を示すブロック図である。

10 図 8 は、本発明の実施の形態 3 における位相比較回路の、位相同期状態でのタイミングチャートを示す図である。

図 9 は、本発明の実施の形態 4 における位相比較回路を示すブロック図である。

図 10 は、本発明の実施の形態 4 における位相比較回路の、位相同期状態でのタイミングチャートを示す図である。

15 図 11 は、本発明の実施の形態 5 における位相比較回路を示すブロック図である。

図 12 は、本発明の実施の形態 5 における位相比較回路の、位相同期状態でのタイミングチャートを示す図である。

20 図 13 は、従来のクロック抽出および信号再生の用途に用いられる位相比較回路を示す回路図である。

図 14 は、図 13 に示される位相比較回路 80 を用いた位相同期回路 (PLL) のタイミングチャートを示す図である。

図 15 は、従来の位相比較回路 80 の相変換特性を示す図である。

以下、図面を参照して本発明の各実施の形態を詳細に説明する。

実施の形態 1.

図 1 は、本発明の実施の形態 1 におけるランダム NRZ 信号に対する位相比較回路のブロック図を示す。図 1 において、符号 10 は本発明の位相比較回路、1 はランダム NRZ 信号の入力端子、2 は端子 1 に入力された信号と同じパターンを持ちかつ位相が  $\theta$  だけ遅れたランダム NRZ 信号を入力する端子、11 は端子 1 に入力されたランダム NRZ 信号の 1 周期分である時間 T だけを遅延させる遅延回路、11a は遅延回路 11 の出力端子、13 は端子 1 に入力された信号と遅延回路 11 によって時間 T だけ遅延させた信号との差を得る減算回路、21 は減算回路 13 の減算結果 4 と端子 2 に入力されたランダム NRZ 信号との積を得る乗算回路、3 は乗算回路 21 の出力端子である。

図 1 に示されるように、入力は、端子 1 と端子 2 とに印加されるランダム NRZ 信号であり、両信号のパターンは同じものである。但し、この両信号の位相は異なっており、その位相差が後述の位相同期回路によって負帰還され、位相同期を実現することができる。

図 2 は、本発明の実施の形態 1 における位相同期回路のブロック図を示す。図 2 で図 1 と同じ符号を付した個所は同じ要素を示すため説明は省略する。図 2 において、符号 30 は本発明の位相同期回路、12 は端子 1 から入力されるランダム NRZ 信号と同じパターンを持ち、かつ電圧制御発振回路 32（後述）の端子 5 から出力された信号の位相情報を持つランダム NRZ 信号を乗算回路への入力となる端子 2 に供給するための識別回路であり、D 型フリップ・フロップ等が用いられる。符号 31 はローパス・フィルタであり、位相同期回路 30 の特徴の 1 つである同符号データ入力時に同期が大きく外れない機能を助けるために、チャージ・ポンプを通常のフィルタと併用する等、その伝達関数に積分項を

持たせたものが用いられる。符号 3 2 はローパス・フィルタ 3 1 の出力電圧によって発振周波数（出力 5）を可変にできる電圧制御発振回路である。

図 3 は、本発明の実施の形態 1 の位相同期回路 3 0 におけるタイミングチャートを示す。図 3（A）は端子 1 に入力されたランダム NRZ 信号、図 3（B）は減算回路 1 3 の端子 4 における信号であって乗算回路 2 1 の片方の入力信号、図 3（C）は識別回路 1 2 の端子 2 における信号であって乗算回路 2 1 の他の入力信号、図 3（D）は乗算回路 1 3 の出力端子 3 における信号を示す。

図 3（A）ないし（D）に示されるように、端子 1 に入力されたランダム NRZ 信号の符号変化状況（符号変化時、同符号入力時）に応じて、減算回路 1 3 の出力端子 4 には、立ち上がり変化（“1 状態”）、立ち下がり変化（“-1 状態”）および変化無し（“0 状態”）の 3 状態が現れている。このことは、ランダム NRZ 信号の 1 周期分を遅延させる遅延回路 1 1 と減算回路 1 3 とからなる回路ブロックが、端子 1 に入力されたランダム NRZ 信号の符号変化検出回路 A として機能していることを意味する。符号変化時には、この符号変化検出回路 A は立ち上がり変化（“1 状態”）または立ち下がり変化（“-1 状態”）のいずれかを検出する。このため、端子 4 に現れる符号変化検出回路 A の出力信号と端子 2 に入力されたランダム NRZ 信号とが乗算回路 2 1 において乗算されると、端子 1 と端子 2 とに各々印加されたランダム NRZ 信号の位相差に対応したデューティ比をもつパルスが乗算回路 2 1 の出力端子 3 に現れる。このデューティ比は、端子 1 と端子 2 とに各々印加されるランダム NRZ 信号の立ち上がり変化（“1 状態”）または立ち下がり変化（“-1 状態”）の状態には依存しない。このデューティ比がローパス・フィルタ 3 1 により直流電圧成分を生成し、負帰還により位相同期機能を実現す

る。

一方、同符号入力時には、符号変化検出回路 A は変化無し (“0 状態”) を検出するため、端子 4 に現れる符号変化検出回路 A の出力信号と端子 2 に入力されたランダム NRZ 信号とが乗算回路 21 において乗算されても、その出力端子 3 にはいかなる波形も現れない。これによりローパス・フィルタ 31 へはいかなる波形も伝えられず現状を維持するため、本発明の位相比較回路の特徴の 1 つである、位相同期回路として同期が大きく外れない機能を実現することができる。

位相同期回路では、上記位相差が  $180^\circ$  になるように、すなわちランダム NRZ 信号の半周期分である時間  $T/2$  だけ遅延させるように負帰還がかかり、この結果、図 3 に示すように、位相同期状態に近くなるほど乗算回路 21 の出力端子 3 に現れるパルスのデューティー比は 50% へ近づく。これにより、図 15 に示すような従来の位相比較回路 80 における位相変換特性の歪みは現れず、もう 1 つの本発明の位相比較回路の特徴である、位相同期時の位相変換特性の高い線形性を実現することができる。

図 1 に示される本発明の位相比較回路 10 において、端子 1 と 2 とへの入力信号をそれぞれ  $V_i(t)$ 、 $V_i(t - \theta T/2\pi)$  とする。ここで、 $\theta$  は端子 1 の入力信号から見た端子 2 の信号の位相差を示し、よって  $\theta T/2\pi$  は端子 1 の入力信号から見た端子 2 の信号の時間的遅れを示す。端子 1 に入力されたランダム NRZ 信号の 1 周期分である時間  $T$  だけ遅延させる遅延回路 11 の出力信号は、 $V_i(t-T)$  と記述できるため、位相比較回路 10 の出力である乗算回路 21 の出力端子 3 の信号  $V_o(t)$  は、

$$V_o(t) = (V_i(t) - V_i(t-T)) \times V_i(t - \theta T/2\pi) \quad (1)$$

と表すことができる。よって、図 1 に示される位相比較回路 10 の回路構成の代わりに、この式 (1) を実現するような他の回路構成であっても良い。

以上より、実施の形態 1 によれば、式 (1) に示されるような回路構成の位相比較回路、例えば図 1 に示されるような回路構成の位相比較回路を用いることにより、位相同期回路として同期が大きく外れない機能を実現することができる。さらに、位相同期状態に近くなるほど乗算回路 21 の出力端子 3 に現れるパルスのデューティー比は 50 % へ近づくため、位相変換特性の歪みは現れず、位相同期時の位相変換特性の高い線形性を実現することができる。

実施の形態 2 .

図 4 は、本発明の実施の形態 2 におけるランダム NRZ 信号に対する位相比較回路のブロック図を示す。図 4 で図 1 と同じ符号を付した個所は同じ要素を示すため説明は省略する。図 4 において、符号 40 は本発明の位相比較回路、21a は端子 1 に入力された信号と端子 2 に入力された信号との積を得る乗算回路、21b は端子 2 に入力された信号と遅延回路 11 によって時間 T だけ遅延させた信号との積を得る乗算回路、13 は乗算回路 21a と 21b との差を得る減算回路である。

図 4 に示されるような回路構成において、端子 1 と 2 とに印加される入力信号をそれぞれ  $V_i(t)$ 、 $V_i(t - \theta T / 2\pi)$  とすると、遅延回路 11 の出力信号が、 $V_i(t - T)$  で記述できることを考慮して、位相比較回路 40 の出力である減算回路 13 の出力端子 3 の信号  $V_o(t)$  は、

$$\begin{aligned} V_o(t) &= V_i(t) \times V_i(t - \theta T / 2\pi) - V_i(t - T) \times V_i(t - \theta T / 2\pi) \\ &= (V_i(t) - V_i(t - T)) \times V_i(t - \theta T / 2\pi) \end{aligned} \quad (2)$$

と表すことができる。式（１）と式（２）とを比較することにより、図 1 に示される回路構成と図 4 に示される回路構成とは同等の機能を持つことが確認できる。図 1 に示された回路構成は、式（１）で記述された演算を行うための必要最低限の構成であり、回路の小型化および低消費電力化に適しているという利点を有する。一方、図 4 に示された回路構成は、回路としての対称性に優れ、集積回路化に適しているという利点を有する。

以上より、実施の形態 2 によれば、式（２）に示されるような回路構成の位相比較回路、例えば図 4 に示されるような回路構成の位相比較回路を用いることにより、実施の形態 1 と同様の機能を有し、さらに回路としての対称性に優れ、集積回路化に適しているという利点を実現することができる。

実施の形態 3.

図 1 に示した位相比較回路 10 は、遅延回路 11 における遅延量を端子 1 に入力されるランダム NRZ 信号の周期である時間 T とするよう限定しており、この時は、同符号信号入力時に同期が大きく外れないようなくみや、位相同期時の位相変換特性の線形性を実現することができる。ここで、遅延回路 11 に、仮にバッファ回路など簡易な構成の回路が用いられた場合、その遅延量は一般に電源電圧変動や温度変動、製造ばらつきに起因してずれる場合もあり得る。

図 5 は、本発明の実施の形態 3 における遅延量が時間 T よりも大きい時間 ( $T + \delta T$ ) へとずれた遅延回路を使用した位相比較回路のタイミングチャートを示す。図 5 (A) は端子 1 に入力されたランダム NRZ 信号、図 5 (B) は遅延回路 11 の出力端子 11a における信号、図 5 (C) は減算回路 13 の出力端子 4 における信号であって乗算回路 21 の片方の入力信号、図 5 (D) は乗算回路 21 の他の入力端子 2 における信号、



図 5 (E) は乗算回路 2 1 の出力端子 3 における信号であって位相比較回路 1 0 の出力信号を示す。

図 5 (A) ないし (E) に示されるように、端子 1 に入力されたランダム NRZ 信号の符号変化状況 (符号変化時、同符号信号入力時) に応じて、減算回路 1 3 の出力端子 4 には、立ち上がり変化 (“1 状態”)、立ち下がり変化 (“-1 状態”) および変化無し (“0 状態”) の 3 状態が現れている。但し、遅延回路 1 1 における遅延時間のずれ  $\delta T$  に起因して、端子 1 において符号変化があった周期の次の周期における最初の  $\delta T$  時間は、状態の誤判断がなされる。この波形と、端子 2 に入力されたランダム NRZ 信号とを乗算回路 2 1 にて乗算した結果、その出力端子 3 には、端子 1 と端子 2 とに入力された信号間の位相差に対応するデューティ比を持つ波形が現れているが、ここでも周期の最初の  $\delta T$  時間には理想と異なる振る舞いが起こり、入力信号パターンに依存する波形歪みとなって現れている。この波形において、各周期の平均出力レベルは、周期によって異なるものとなっている。例えば、第 1 周期では、高レベルと低レベルとを占める時間は等しい一方で、第 2 周期では、高レベルを占める時間の方が低レベルを占める時間より長いため、周期毎の平均値としては、第 2 周期の出力レベルの方が第 1 周期のものよりも高い。このことは、ローパス・フィルタ 3 1 (図 2) の出力レベルが周期によって異なり、変則的に揺らぐことを意味している。結果として、この揺らいだ信号を入力する電圧制御発振回路 3 2 (図 2) の出力端子 5 におけるクロック信号には、ジッタと呼ばれる時間軸方向の波形の揺れが発生し、クロック信号の品質が著しく低下する場合があります。

上述のように、図 1 に示した位相比較回路 1 0 の構成では、電源電圧変動や温度変動、製造ばらつきなどに起因した出力波形の変則的な歪みを如何に抑え、位相同期回路にて抽出されるクロック信号の高品質性、

特に低ジッタ特性を如何に保つかがポイントであった。

本実施の形態 3 は、ランダム NRZ 信号からのクロック信号抽出及び  
信号再生の用途に用いられる位相同期回路において、同符合信号入力時  
に同期が大きく外れない仕組みを実現し、位相同期時の位相変換特性の  
5 高い線形性を有し、さらに出力波形の変則的な歪みを抑えることによっ  
て、結果として低ジッタ特性を持つ高品質クロック信号の抽出が可能な  
位相同期回路を実現できるような位相比較回路を提供することを目的と  
している。

図 6 は、本発明の実施の形態 3 における位相比較回路のブロック図を  
10 示す。図 6 において、符号 60 は本発明の実施の形態 3 における位相比  
較回路、1 は周期 T のランダム NRZ 信号の入力端子、2 は端子 1 に入  
力された信号と同じ周期 T およびパターンを持ちかつ位相が  $\theta$  だけ遅れ  
たランダム NRZ 信号を入力する端子、66 は端子 1 に入力された信号  
に対する遅延量を後述するローパス・フィルタ 65 の出力端子 65a に  
15 における信号（所定の第 1 信号）で制御する電圧制御遅延回路（第 1 電圧  
制御遅延回路）、61 は端子 1 に入力された信号と電圧制御遅延回路 66  
の出力信号との差を得る減算回路、62 は減算回路 61 における減算結  
果と端子 2 に入力された信号との積を得る乗算回路、3 は乗算回路 62  
の出力端子であり、位相比較回路 60 の出力端子である。符号 63 は端  
20 子 1 に入力された信号の周期 T と同じ周期を持つクロック信号を発振す  
る発振回路、64 は発振回路 63 の出力クロック信号と後述する電圧制  
御遅延回路 67 の出力信号（所定の第 2 信号）との位相差を検出する位  
相差検出回路であり、入力される 2 つのクロック信号間の位相差を検出  
する一般的な位相差検出回路を用いることができる。符号 65 は位相差  
25 検出回路 64 の検出結果から低周波成分を抽出するローパス・フィルタ、  
67 は発振回路 63 の出力クロック信号に対する遅延量をローパス・フ

ィルタ 6 5 の出力端子 6 5 a における信号で制御する電圧制御遅延回路  
(第 2 電圧制御遅延回路) である。

図 6 に示されるように、入力端子 1 と端子 2 とへのランダム NRZ  
信号であり、両信号のパターンは同一である。但し、この両信号の位相  
5 は異なっており、その位相差が後述の位相同期回路によって負帰還され、  
位相同期を実現することができる。

図 7 は、本発明の実施の形態 3 における位相同期回路のブロック図を  
示す。図 7 で図 2 または図 6 と同じ符号を付した個所は同じ要素を示す  
ため、説明は省略する。図 7 において、符号 1 0 0 は本発明の位相比較  
10 回路を用いた位相同期回路、6 0 は本発明の位相比較回路、1 2 は端子  
1 から入力されるランダム NRZ 信号と同じパターンを持ち、かつ電圧  
制御発振回路 3 2 (図 2) の端子 5 から出力されたクロック信号の位相  
情報を持つランダム NRZ 信号を乗算回路の入力端子 2 に供給するため  
の識別回路であり、D 型フリップ・フロップ回路等が用いられる。符号  
15 3 1 はローパス・フィルタであり、位相同期回路 1 0 0 の特徴の 1 つで  
ある同符号信号入力時に同期が大きく外れない機能を助けるために、チ  
ャージ・ポンプ回路と併用する等、その伝達関数に積分項を持たせたも  
のが用いられる。符号 3 2 はローパス・フィルタ 3 1 の出力によって発  
振周波数を可変にできる電圧制御発振回路である。

20 図 8 は、本発明の実施の形態 3 における位相比較回路の、位相同期状  
態でのタイミングチャートを示す。図 8 (A) は端子 1 に入力されたラ  
ンダム NRZ 信号、図 8 (B) は電圧制御遅延回路 6 6 の出力端子 6 6  
a における信号、図 8 (C) は減算回路 6 1 の出力端子 6 1 a における  
信号であって乗算回路 6 2 の片方の入力信号、図 8 (D) は乗算回路 6  
25 2 の別の入力端子 2 における信号、図 8 (E) は乗算回路 6 2 の出力端  
子 3 における信号であって位相比較回路 6 0 の出力信号を示す。

図 8 (A) ないし (E) に示されるように、端子 6 6 a の信号は端子 1 に入力されたランダム NRZ 信号の正確に 1 周期分である時間 T だけ遅れた波形となっている。このことは、発振回路 6 3、位相差検出回路 6 4、ローパス・フィルタ 6 5、電圧制御遅延回路 6 6 及び 6 7 から構成される回路群が、端子 1 と端子 6 6 a 間に対して正確に時間 T の遅延をもたらす理想遅延回路 B として機能していることを示している。これは以下の 3 つの原理により実現される。

(1) 発振回路 6 3 の出力クロック信号の周期は端子 1 に入力されるランダム NRZ 信号の周期 T と同じである。

10 (2) 位相差検出回路 6 4、ローパス・フィルタ 6 5、電圧制御遅延回路 6 7 から構成される帰還回路が負帰還を構成しており、これにより電圧制御遅延回路 6 7 の入出力間の遅延量は、発振回路 6 3 の出力クロック信号の 1 周期分になるように遅延同期される。

15 (3) 集積回路技術を導入するなどして、電圧制御遅延回路 6 6 と 6 7 とに全く同じ制御特性を持たせた場合、電圧制御遅延回路 6 7 における入出力間の遅延量は、そのまま電圧制御遅延回路 6 6 における入出力間の遅延量となる。

上述のように、電圧制御遅延回路 6 6 における入力端子 1 と出力端子 6 6 a との間の遅延量は、間接的に負帰還により制御されているため、  
20 電源電圧変動や温度変動、製造ばらつきなどにも影響されない。この理想遅延は、減算回路 6 1 の 2 つの入力端子 1 および 6 6 a での波形の間に、これらの波形の 1 周期分である時間 T の時間差を正確に実現する。  
これにより、端子 6 1 a には、端子 1 に入力されたランダム NRZ 信号の符号変化状況（符号変化時、同符号信号入力時）に応じた 3 状態（“1 状態”、“-1 状態”、“0 状態”）が理想的に現れており、図 5 (C) に見られたような状態の誤判断は現れていない。この端子 6 1 a の信号と端  
25

予 2 に入力されたランダム NRZ 信号とが乗算回路 6 2 において乗算されると、端子 1 と端子 2 とに入力されたランダム NRZ 信号の位相差に対応したデューティ比を持つパルスが端子 3 に現れる。この信号にも、  
5 図 5 (E) に見られたような歪みは現れておらず、各周期の平均出力レベルは、どの周期も同じレベルを示している。このことは、ローパス・フィルタ 3 1 の出力レベルが変則的に揺らがないことを意味しており、結果として、電圧制御発振回路 3 2 から出力されるクロック信号のジッタを抑えることができ、高いクロック品質を保つことが可能となる。

さらに、図 8 (E) に示したように、位相同期状態に位相比較回路 6  
10 0 の出力端子 3 のデューティ比が 50 % になるということは、位相変換特性の高い線形性を実現することを意味している。一方、同符号信号入力時にはいかなるパルスも現れず、ローパス・フィルタ 3 1 へはいかなる波形も伝えられず現状を維持するため、位相同期回路として同期が大きく外れない機能も実現できる。この点に関しては実施の形態 1 等で  
15 詳述した通りである。

本実施の形態 3 における位相比較回路 6 0 は、図 1 に示した実施の形態 1 の位相比較回路 1 0 において、遅延回路 1 1 を理想遅延回路 B に交換したことを特徴とするものである。したがって、理想遅延を実現する他の回路構成であっても良いことはもちろんである。

20 さらに、図 4 に示した実施の形態 2 の位相比較回路 4 0 において、遅延回路 1 1 を理想遅延を実現する回路、例えば理想遅延回路 B に交換したもののでも良い。

以上より、実施の形態 3 によれば、図 6 に示されるような回路構成の位相比較回路を用いることにより、ランダム NRZ 信号に含まれる同符  
25 合入力時に同期が大きく外れないような位相同期回路を実現できる。また位相同期時の位相変換特性の高い線形性を有し、さらに、負帰還制御

を用いて理想遅延を実現することにより位相比較回路の出力波形の歪みを抑えることができるため、結果として低ジッタ特性を持つ高品質クロック信号の抽出が可能な位相同期回路を実現できる。

実施の形態 4.

- 5 図 9 は、本発明の実施の形態 4 における位相比較回路のブロック図を示す。図 9 において、符号 1 1 0 は本発明の位相比較回路、1 はランダム NRZ 信号の入力端子、1 1 8 はクロック信号の入力端子、1 1 1 は端子 1 に入力された信号を端子 1 1 8 に入力されたクロック信号でサンプリングする識別回路（第 1 識別回路）、1 1 2 は識別回路 1 1 1 の出力信号を端子 1 1 8 に入力されたクロック信号でサンプリングする識別回路（第 2 識別回路）であり、これらの識別回路 1 1 1 および 1 1 2 には D 型フリップ・フロップ回路等が用いられる。符号 1 1 3 は識別回路 1 1 1 の出力信号と識別回路 1 1 2 の出力信号との差を得る減算回路、1 1 5 は端子 1 に入力されたランダム NRZ 信号をその 1 周期である時間 T だけ遅延させる遅延回路、1 1 4 は減算回路 1 1 3 の出力信号（出力端子 1 1 3 a）と遅延回路 1 1 5 の出力信号（出力端子 1 1 5 a）との積を得る乗算回路、3 は乗算回路 1 1 4 の出力端子であり、位相比較回路 1 1 0 の出力端子である。
- 10
- 15

- 図 9 に示されるように、入力は、端子 1 へのランダム NRZ 信号および端子 1 1 8 へのクロック信号である。位相同期回路では、ランダム NRZ 信号の変化端（立ち上がり若しくは立ち下がり）とクロック信号の立ち上がりとの間の位相差が負帰還されることにより、位相同期を実現することができる。
- 20

- この位相比較回路 1 1 0 を用いた位相同期回路は、図 7 に示した実施の形態 3 における位相同期回路 1 0 0 において、位相比較回路 6 0 および識別回路 1 2 を位相比較回路 1 1 0 に置き換えたものである。
- 25

図 10 は、本発明の実施の形態 4 における位相比較回路の、位相同期状態でのタイミングチャートを示す。図 10 (A) は端子 1 に入力されたランダム NRZ 信号、図 10 (B) は端子 118 に入力されたクロック信号、図 10 (C) は識別回路 111 の出力端子 111a における信号、図 10 (D) は識別回路 112 の出力端子 112a における信号、図 10 (E) は減算回路 113 の出力端子 113a における信号、図 10 (F) は遅延回路 115 の出力端子 115a における信号、図 10 (G) は乗算回路 114 の出力端子 3 における信号であって位相比較回路 110 の出力信号を示す。

図 10 (A) ないし (G) に示されるように、減算回路 113 の 2 つの入力端子 111a と 112a との波形の間には、これらの波形の 1 周期分である時間 T の差が正確に現れている。この理想的な遅延は、これらの波形を出力する識別回路 111 および 112 が、端子 118 に入力された同一のクロック信号で動作することに起因するため、電源電圧変動や温度変動、製造ばらつきなどにも影響されない。この理想遅延の実現により、実施の形態 3 と全く同じように、位相比較回路 110 の出力端子 3 には、符号変化時にはこれらの 2 信号の位相差に対応したデューティー比を持つパルスがいかなる歪みも伴わずに現れ、一方、同号入力時にはパルスが現れないという動作を実現できる。

尚、位相比較回路 110 を構成する遅延回路 115 において、その遅延時間のずれは、端子 1 に入力されるランダム NRZ 信号と端子 118 に入力されるクロック信号との位相同期状態における位相差に影響する。ただし、実施の形態 1 の位相比較回路 10 に含まれる遅延回路 11 の場合とは異なり、その遅延時間のずれは位相同期回路で抽出されるクロック信号のジッタなどの品質を悪化させない。よって遅延回路 115 は、図 6 の理想遅延回路 A のような回路のほか、バッファ回路などの簡易な

回路でも実現することができる。

以上より、実施の形態 4 によれば、図 9 に示されるような回路構成の位相比較回路を用いることにより、実施の形態 3 と同様の利点、すなわち、ランダム NRZ 信号に含まれる同符合入力時に同期が大きく外れないような位相同期回路の実現でき、また位相同期時の位相変換特性の高い線形性を有し、さらに 2 つの識別回路を用いて理想遅延を実現することにより位相比較回路の出力波形の歪みを抑えることができるため、結果として低ジッタ特性を持つ高品質クロック信号の抽出が可能な位相同期回路を実現できるという利点を有する。さらに、実施の形態 1 に比べ、回路の小型化および低消費電力化に適しているという利点も有する。

実施の形態 5 .

図 1 1 は、本発明の実施の形態 5 における位相比較回路のブロック図を示す。図 1 1 において、符号 1 2 0 は本発明の位相比較回路、1 はランダム NRZ 信号の入力端子、2 は端子 1 に入力された信号と同じ周期とパターンを持ちかつ位相が  $\theta$  だけ遅れたランダム NRZ 信号を入力する端子、1 2 1 は端子 1 に入力されたランダム NRZ 信号をその 1 周期である時間  $T$  よりやや短い時間 ( $T - \delta T$ ) だけ遅延させた信号を出力する遅延回路、6 1 は端子 1 に入力された信号と遅延回路 1 2 1 の出力信号（出力端子 1 2 1 a）との差を得る減算回路、6 2 は減算回路 6 1 の出力信号（出力端子 6 1 a）と端子 2 に入力された信号との積を得る乗算回路、3 は乗算回路 6 2 の出力端子であり、位相比較回路 1 2 0 の出力端子である。

図 1 1 に示されるように、入力は、端子 1 と端子 2 とへのランダム NRZ 信号であり、両信号のパターンは同一である。但し、この両信号の位相は異なっており、その位相差が位相同期回路によって負帰還され、位相同期を実現することができる。



この位相比較回路を用いた位相同期回路は、図 7 に示した実施の形態 3 における位相同期回路 1 0 0 において、位相比較回路 6 0 を位相比較回路 1 2 0 に置き換えたものである。

図 1 2 は、本発明の実施の形態 5 における位相比較回路の、位相同期状態でのタイミングチャートを示す。図 1 2 (A) は端子 1 に入力されたランダム NRZ 信号、図 1 2 (B) は遅延回路 1 2 1 の出力端子 1 2 1 a における信号、図 1 2 (C) は減算回路 6 1 の出力端子 6 1 a における信号であって乗算回路 6 2 の片方の入力信号、図 1 2 (D) は乗算回路 6 2 の他の入力端子 2 における信号、図 1 2 (E) は乗算回路 6 2 の出力端子 3 における信号であって位相比較回路 1 2 0 の出力信号を示す。

図 1 2 (A) ないし (E) に示されるように、端子 6 1 a には、端子 1 に入力されたランダム NRZ 信号の符号変化状況（符号変化時、同符号信号入力時）に応じた 3 状態（“1 状態”、“-1 状態”、“0 状態”）が現れている。但し、遅延回路 1 2 1 における遅延時間のずれ  $\delta T$  に起因して、端子 1 において符号変化が起こった周期における最後の  $\delta T$  時間は必ず“0 状態”となる。この波形と、端子 2 に入力されたランダム NRZ 信号とを乗算回路 6 1 にて乗算した結果、その出力端子 3 には、端子 1 と端子 2 に入力された信号間の位相差に対応するデューティー比を持つ波形が現れるが、ここでも周期の最後の  $\delta T$  時間では波形は歪んでいる。しかし、この波形において、各周期の平均出力レベルは、どの周期も同じレベルを示している。このことは、位相比較回路 1 2 0 の出力信号は歪んではいるものの変則的ではないため、位相同期回路のローパス・フィルタ 3 1 の出力レベルが揺らがないことを意味しており、結果として、電圧制御発振回路 3 2 から出力されるクロック信号のジッタを抑えることができ、高いクロック品質を保つことが可能となる。

以上の結果は、遅延回路 1 2 1 での遅延量が周期  $T$  よりやや小さい時間  $(T - \delta T)$  であるとき、すなわち  $\delta T > 0$  について成り立つものである。遅延回路 1 2 1 は、図 7 に示した理想遅延回路 B のような回路の他、バッファ回路など簡易な回路でも実現できる。

- 5       $\delta T$  を周期  $T$  に比べ十分に小さく設定すれば、位相比較回路 1 2 0 の出力端子 3 における波形のパルス幅は、図 1 2 (E) に示されるようにさほど狭くならない為、位相変換特性の高い線形性を確保できる。さらに、同符号信号入力時には、端子 3 にはいかなる波形も出力しないため、位相同期回路として現状を維持することにより、同期が大きく外れない機能を実現することができる。

- 図 1 1 に示される本発明の位相比較回路 1 2 0 において、端子 1 と 2 とへの入力信号をそれぞれ  $V_i(t)$ 、 $V_i(t - \theta T/2\pi)$  とする。ここで、 $\theta$  は端子 1 の入力信号から見た端子 2 の信号の位相差を示し、よって、 $\theta T/2\pi$  は端子 1 の入力信号から見た端子 2 の信号の時間的遅れを示す。
- 15      端子 1 に入力されたランダム NRZ 信号の 1 周期分である時間  $T$  よりやや短い時間  $T - \delta T$  だけ遅延させる遅延回路 1 2 1 の出力信号は、 $V_i(t - (T - \delta T))$  と記述できるため、位相比較回路 1 2 0 の出力である乗算回路 6 2 の出力端子 3 の信号  $V_o(t)$  は、式 (3) のように、

20      
$$V_o(t) = (V_i(t) - V_i(t - (T - \delta T))) \times V_i(t - \theta T/2\pi) \quad (3)$$

と表すことができる。よって、図 1 1 に示される位相比較回路 1 2 0 の回路構成の代わりに、この式を実現するような他の回路構成であっても良い。

- 25      以上より、実施の形態 5 によれば、図 1 1 に示されるような回路構成の位相比較回路を用いることにより、遅延量が様々なばらつき要因によ

ってずれても、実施の形態 3 または 4 と同様の利点、すなわち、ランダム NRZ 信号に含まれる同符号入力時に同期が大きく外れないような位相同期回路を実現でき、また位相同期時の位相変換特性の高い線形性を有し、さらに位相比較回路の出力波形に変則的な歪みを生じないため、

5 結果として低ジッタ特性を持つ高品質クロック信号の抽出が可能な位相同期回路を実現できるという利点を有する。さらに、回路の小型化および低消費電力化に適しているという利点も有する。

実施の形態 3 ないし 5 は、図 1 に示した実施の形態 1 の位相比較回路 10 において、電源電圧変動や温度変動、製造ばらつきなどに起因した

10 出力波形の歪みを如何に抑えるかという命題のもとに考案したものであり、実施の形態 3 および 4 は、この実施の形態 1 の位相比較回路 10 に含まれる遅延回路 11 の、上記変動要因による遅延量のずれを抑えることにより命題を解決したもの、実施の形態 5 は、遅延量のずれが生じて

15 も、クロック品質を悪化させるような変則的な出力波形の歪みを生じないようにすることにより命題を解決したものである。

以上説明したように、本発明の位相比較回路によれば、式(1)(図 1、図 6、図 9)または式(2)(図 4)に示されるような回路構成を用いることにより、位相同期回路におけるランダム NRZ 信号同士の位相比較を行う動作において、同符号データ入力時に同期が大きく外れることが

20 なく、かつ位相同期時における位相変換特性が高い線形性を有する位相比較回路を提供することができる。

さらに、本発明の位相比較回路によれば、式(3)(図 11)に示されるような回路構成を用いることにより、ランダム NRZ 信号からのクロック抽出及び信号再生の用途に用いられる位相同期回路において、同符

25 合信号入力時に同期が大きく外れないしくみを実現し、位相同期時の位相変換特性の高い線形性を有し、さらに出力波形の変則的な歪みを抑え

ることによって、結果として低ジッタ特性を持つ高品質クロック信号の抽出が可能な位相同期回路を実現できるような位相比較回路を提供することができる。

5

## 産業上の利用可能性

以上説明したように、本発明の位相比較回路は、位相同期回路におけるランダムNRZ信号同士の位相比較を行う動作において、同符号データ入力時に同期が大きく外れることがなく、かつ位相同期時における位相変換特性が高い線形性を有することができる位相比較回路として有用である。特に、ランダムNRZ信号からのクロック抽出及び信号再生の用途に用いられる位相同期回路において、同符号信号入力時に同期が大きく外れないしくみを実現し、位相同期時の位相変換特性の高い線形性を有し、さらに出力波形の変則的な歪みを抑えることによって、結果として低ジッタ特性を持つ高品質クロック信号の抽出が可能な位相同期回路を実現できるような位相比較回路として適している。

## 請求の範囲

1. 周期  $T$  のランダム  $N R Z$  信号  $V_i(t)$  と、 $V_i(t)$  と同じ  
周期およびパターンを有し、かつ  $V_i(t)$  から位相が  $\theta$  だけ遅れた信  
5 号  $V_i(t - \theta T / 2\pi)$  とを入力し、前記 2 つの信号の間の位相差  $\theta$  に  
対応する直流電圧成分を含む信号を出力する位相比較回路であって、該  
位相比較回路の出力  $V_o(t)$  が、

$$V_o(t) = (V_i(t) - V_i(t - T)) \times V_i(t - \theta T / 2\pi)$$

であり、ここで、信号  $V_i(t - T)$  は信号  $V_i(t)$  の周期  $T$  だけ遅  
10 延した信号であることを特徴とする位相比較回路。

2. 2 つの入力信号の間の位相差に対応する直流電圧成分を含む信  
号を出力する位相比較回路であって、

入力されたランダム  $N R Z$  信号の 1 周期である時間  $T$  だけ遅延させた  
15 信号を出力する遅延回路と、

前記入力されたランダム  $N R Z$  信号と前記遅延回路によって遅延され  
た信号との差を出力する減算回路と、

前記入力されたランダム  $N R Z$  信号と同じパターンおよび前記位相差  
を有する他の入力されたランダム  $N R Z$  信号と前記減算回路の出力との  
20 積を出力する乗算回路と  
を備えたことを特徴とする位相比較回路。

3. 2 つの入力信号の間の位相差に対応する直流電圧成分を含む信  
号を出力する位相比較回路であって、

25 入力されたランダム  $N R Z$  信号と該信号と同じパターンおよび前記位  
相差を有する他の入力されたランダム  $N R Z$  信号との積を出力する第 1

乗算回路と、

前記入力されたランダムNRZ信号の1周期分である時間Tだけ遅延させた信号を出力する遅延回路と、

前記他の入力されたランダムNRZ信号と前記遅延回路の出力との積  
5 を出力する前記第1乗算回路と異なる第2乗算回路と、

前記第1乗算回路の出力と前記第2乗算回路の出力との差を出力する減算回路と

を備えたことを特徴とする位相比較回路。

10 4. 2つの入力信号間の位相差に対応する直流電圧成分を含む信号を出力する位相比較回路であって、

入力されたランダムNRZ信号に対する遅延量を所定の第1信号により制御して出力する第1電圧制御遅延回路と、

15 入力されたランダムNRZ信号と前記第1電圧制御遅延回路から出力された信号との差を出力する減算回路と、

入力されたランダムNRZ信号と同じ周期とパターンおよび位相差を有する他の入力されたランダムNRZ信号と前記減算回路の出力との積を出力する乗算回路と、

前記第1電圧制御遅延回路を制御する制御回路であって、

20 入力されたランダムNRZ信号の周期Tと同じ周期を有するクロック信号を出力する発振回路と、

前記発振回路が出力するクロック信号と所定の第2信号との位相差を検出して出力する位相差検出回路と、

前記位相差検出回路が出力する信号から低周波成分を抽出し、前記  
25 所定の第1信号として出力するローパス・フィルタと、

前記ローパス・フィルタが出力する前記所定の第1信号に基づいて

前記位相差検出回路へ前記所定の第2信号を送信することにより、前記発振回路が出力する信号に対する遅延量を制御する第2電圧制御遅延回路とを有する制御回路とを備えたことを特徴とする位相比較回路。

5

5. 2つの入力信号間の位相差に対応する直流電圧成分を含む信号を出力する位相比較回路であって、

入力されたランダムNRZ信号を入力されたクロック信号でサンプリングする第1識別回路と、

10 前記第1識別回路の出力を前記入力されたクロック信号でサンプリングする第2識別回路と、

前記第1識別回路の出力信号と前記第2識別回路の出力信号との差を出力する減算回路と、

15 前記入力されたランダムNRZ信号の1周期である時間Tだけ遅延させた信号を出力する遅延回路と、

前記減算回路の出力信号と前記遅延回路の出力信号との積を出力する乗算回路と

を備えたことを特徴とする位相比較回路。

20 6. 2つの入力信号の間の位相差に対応する直流電圧成分を含む信号を出力する位相比較回路であって、

入力されたランダムNRZ信号の1周期である時間Tよりやや短い時間( $T - \delta T$ )だけ遅延させた信号を出力する遅延回路と、

25 前記入力されたランダムNRZ信号と前記遅延回路によって遅延された信号との差を出力する減算回路と、

前記入力されたランダムNRZ信号と同じパターンおよび前記位相差

を有する他の入力されたランダムNRZ信号と前記減算回路の出力との積を出力する乗算回路と  
を備えたことを特徴とする位相比較回路。

- 5        7.    周期  $T$  のランダムNRZ信号  $V_i(t)$  と、 $V_i(t)$  と同じ周期およびパターンを有し、かつ  $V_i(t)$  から位相が  $\theta$  だけ遅れた信号  $V_i(t - \theta T / 2\pi)$  とを入力し、前記2つの信号の間の位相差  $\theta$  に対応する直流電圧成分を含む信号を出力する位相比較回路であって、該位相比較回路の出力  $V_o(t)$  が、

10                      
$$V_o(t) = (V_i(t) - V_i(t - (T - \delta T))) \times V_i(t - \theta T / 2\pi)$$

であり、ここで、信号  $V_i(t - (T - \delta T))$  は信号  $V_i(t)$  の周期  $T$  よりやや短い時間  $(T - \delta T)$  だけ遅延した信号であることを特徴とする位相比較回路。



1/12

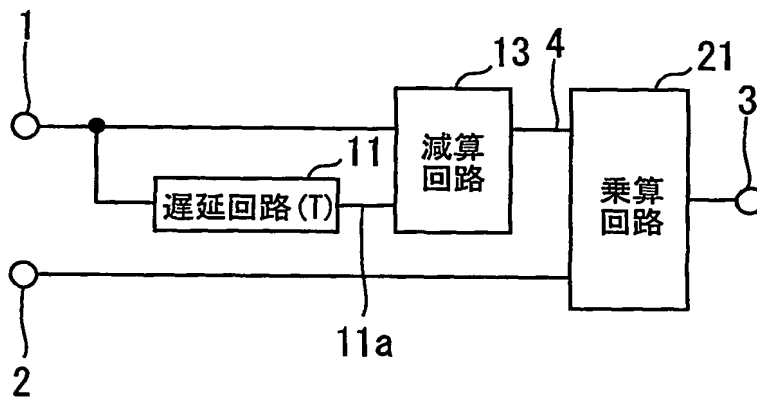
10

FIG. 1

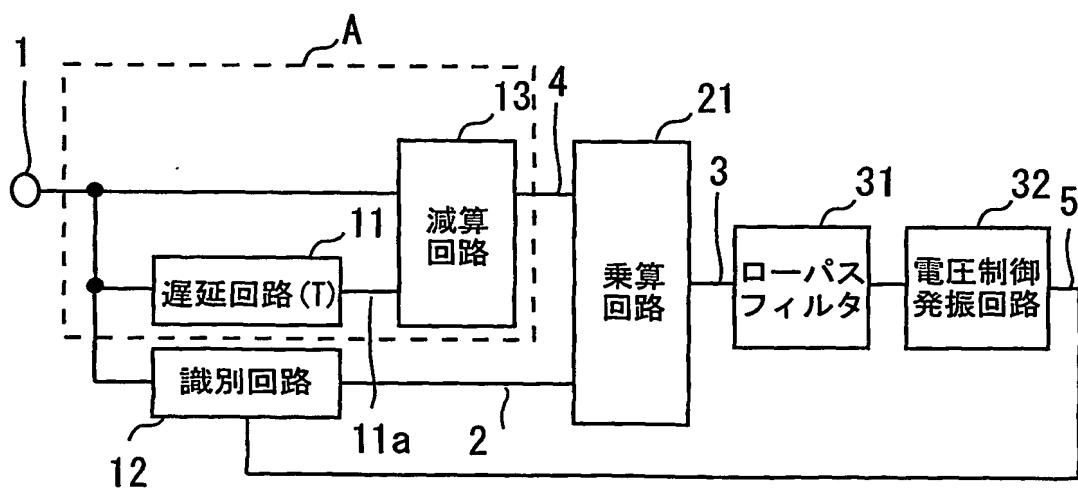
30

FIG. 2



2/12

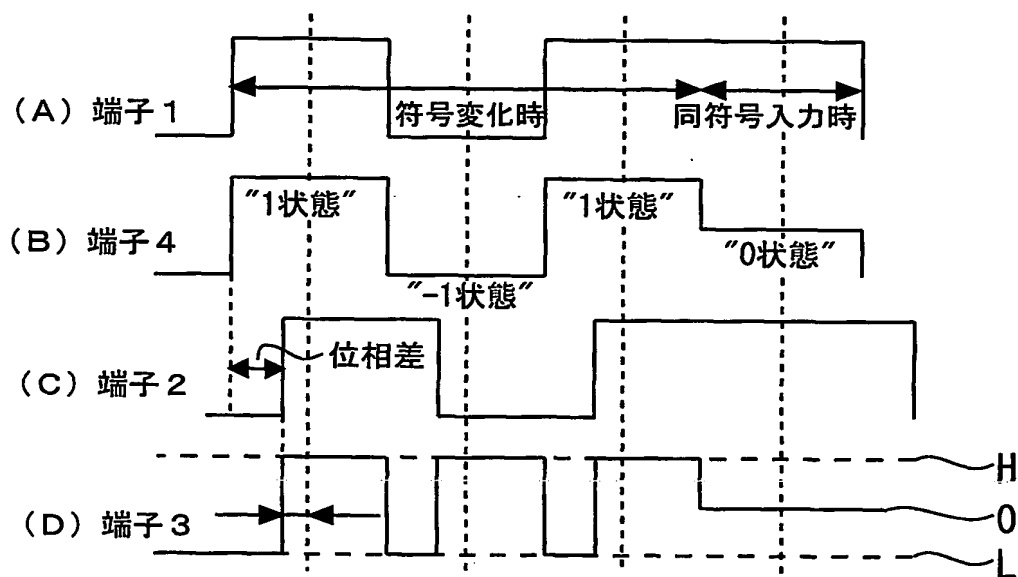


FIG. 3

40

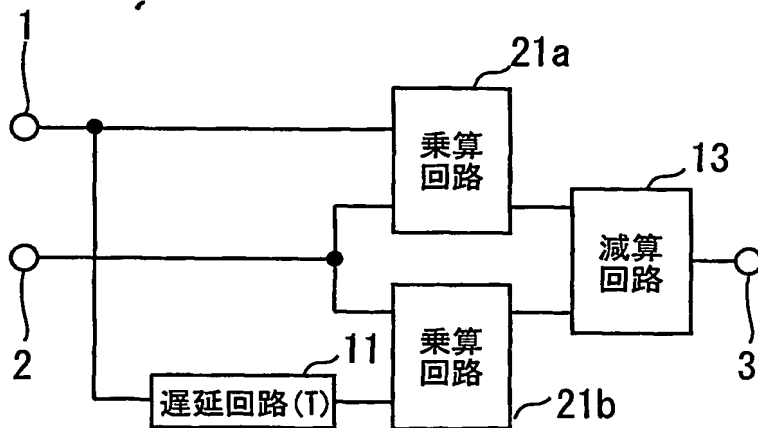


FIG. 4



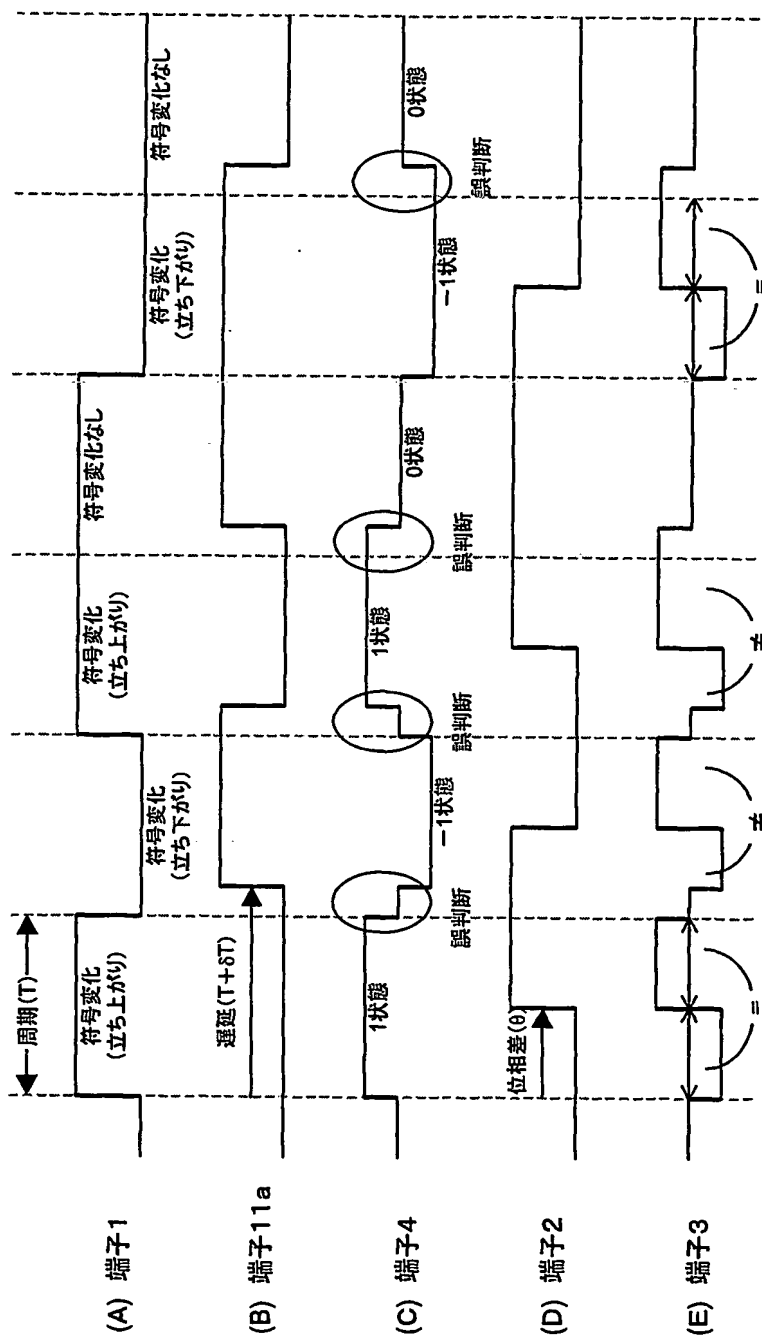


FIG. 5



60

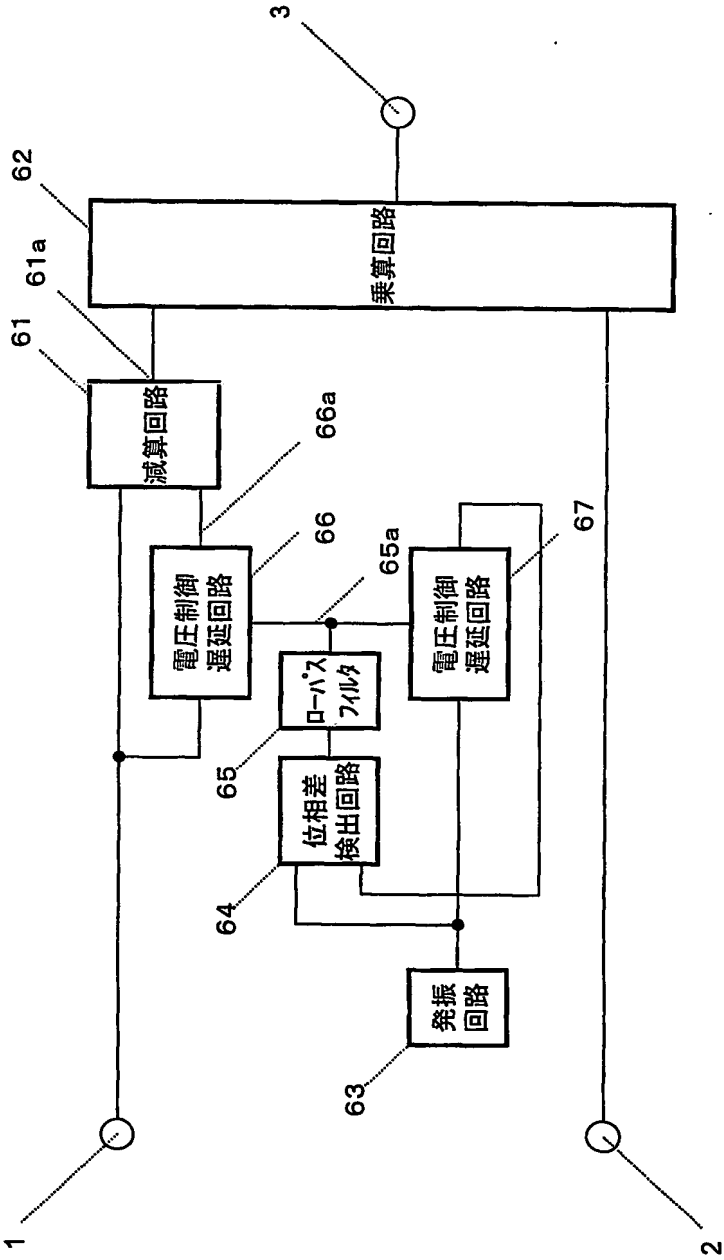
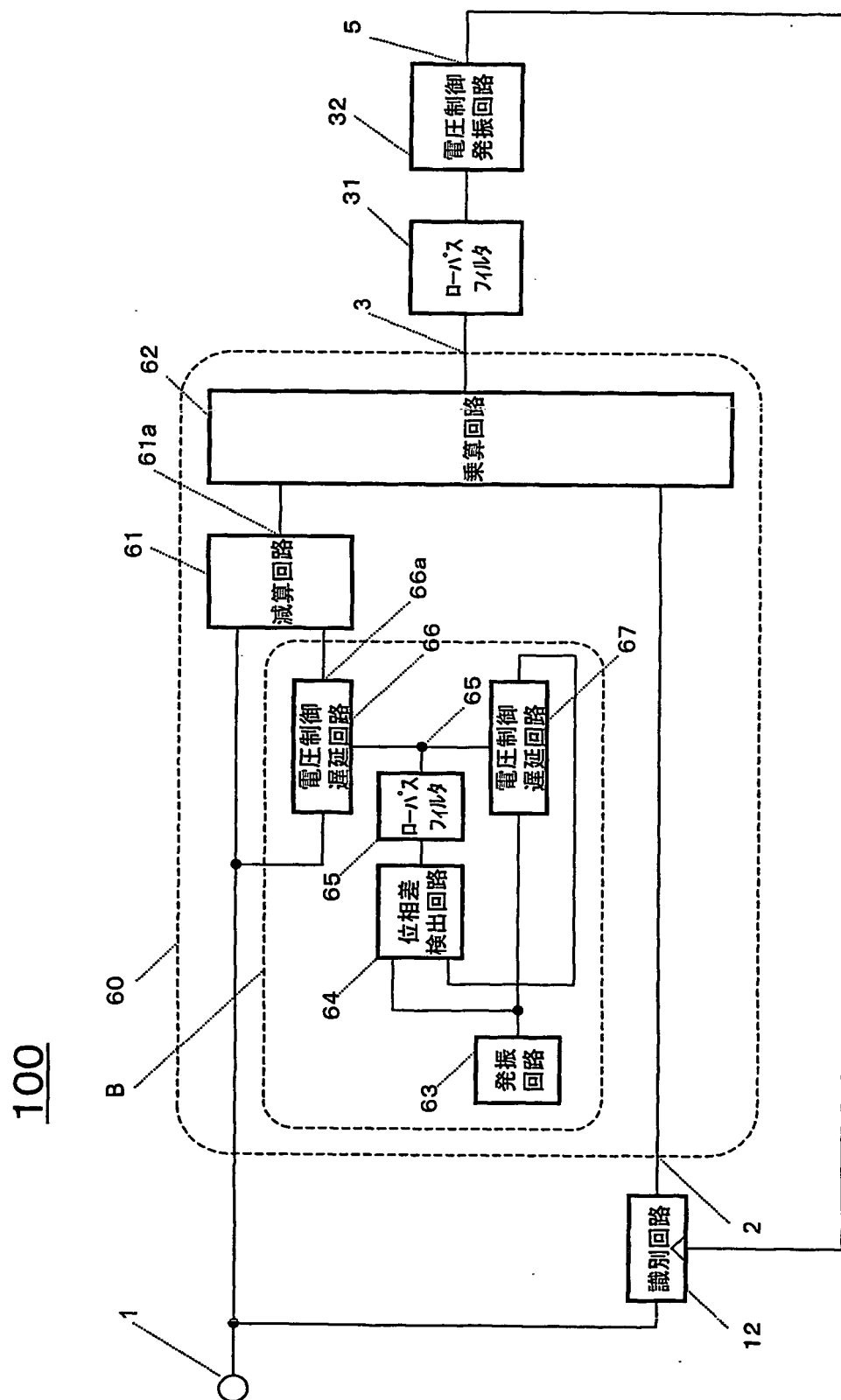


FIG. 6







**FIG. 7**



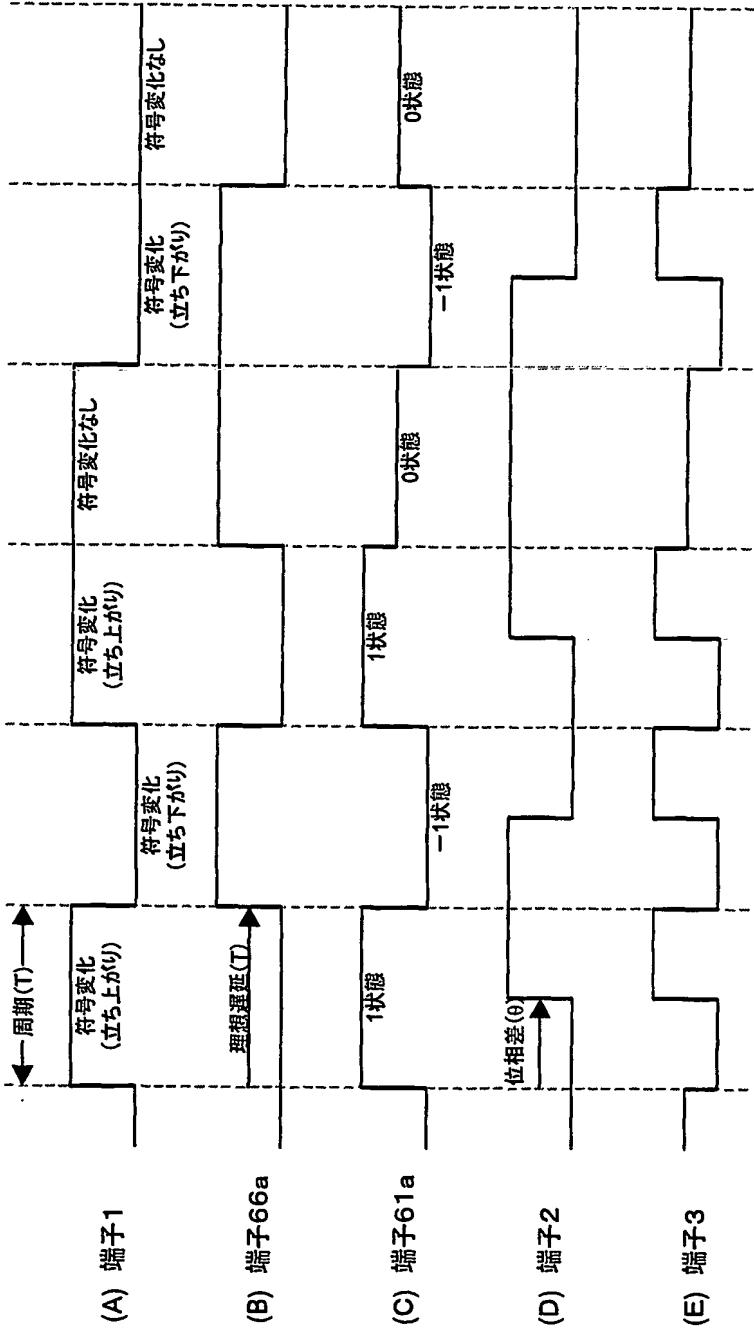


FIG. 8



7/12

110

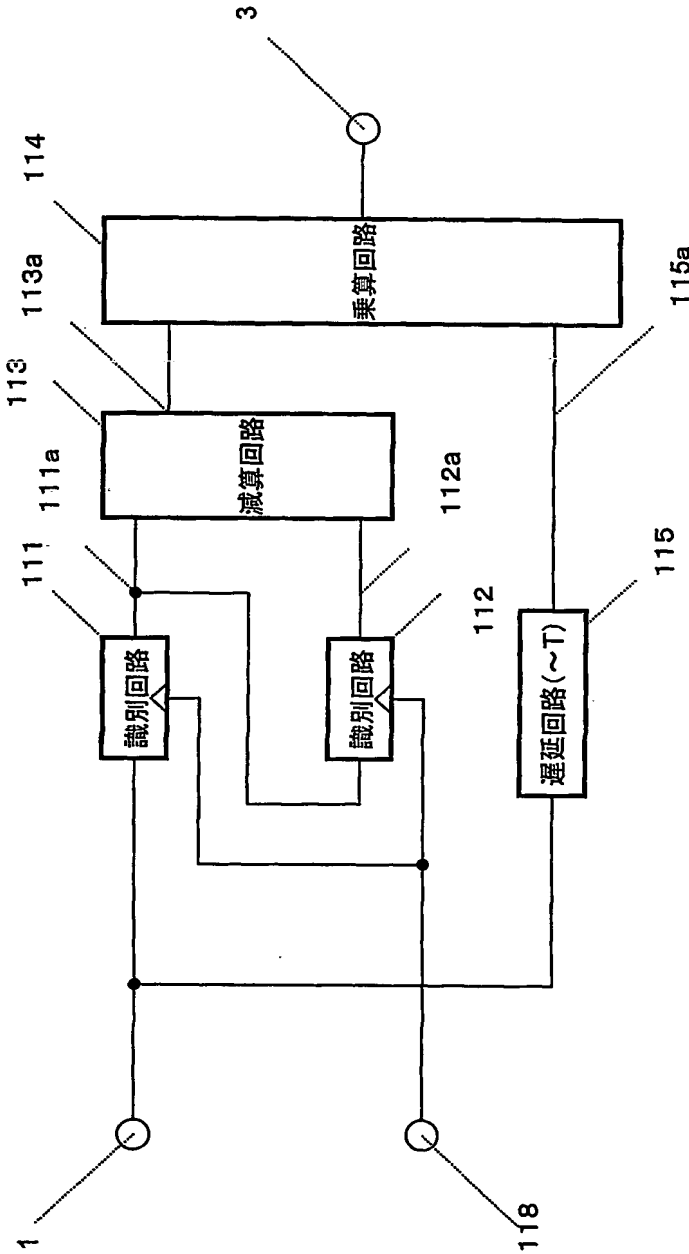


FIG. 9



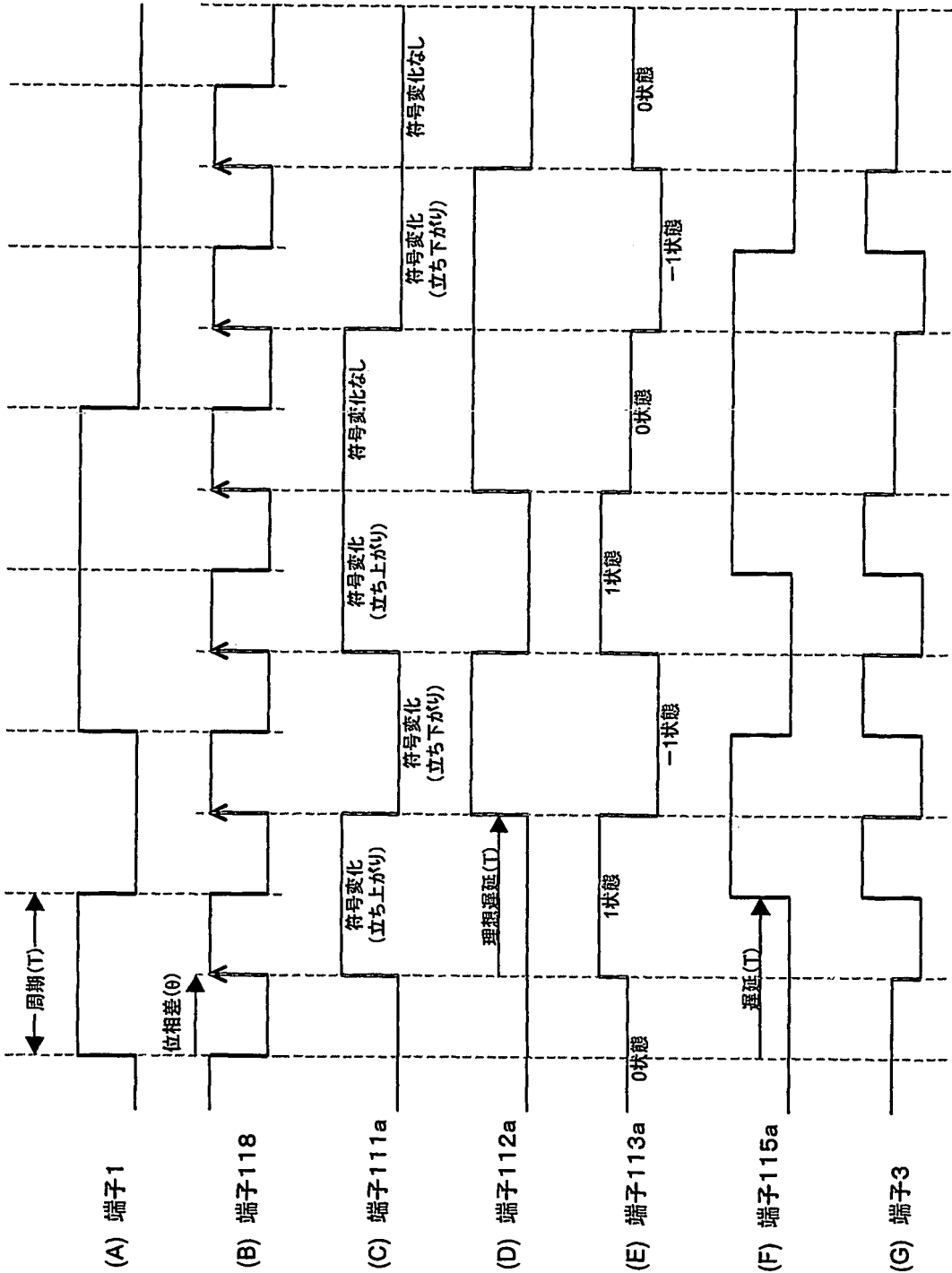


FIG. 10





120

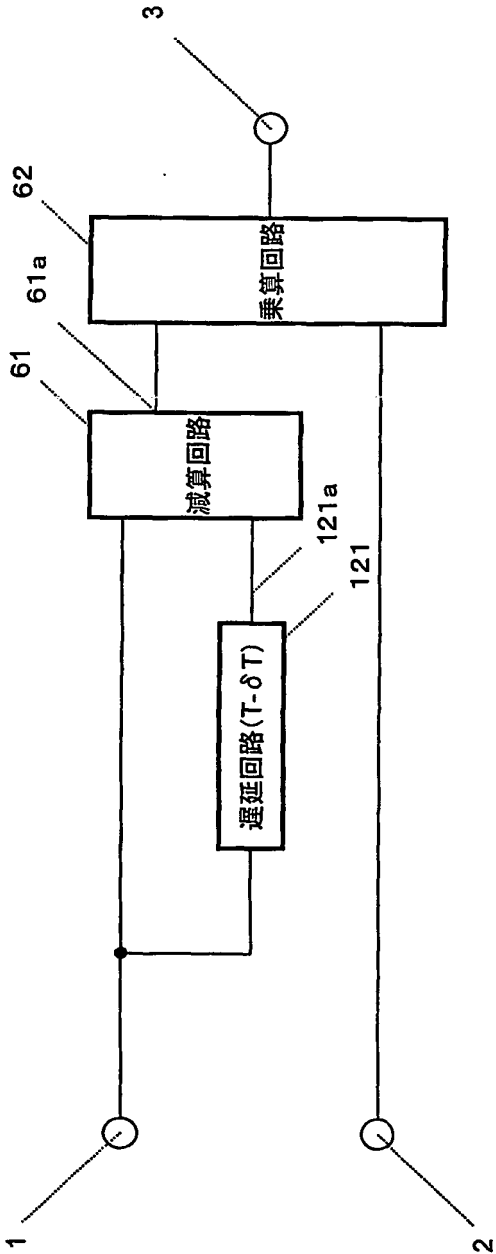


FIG. 11



10/12

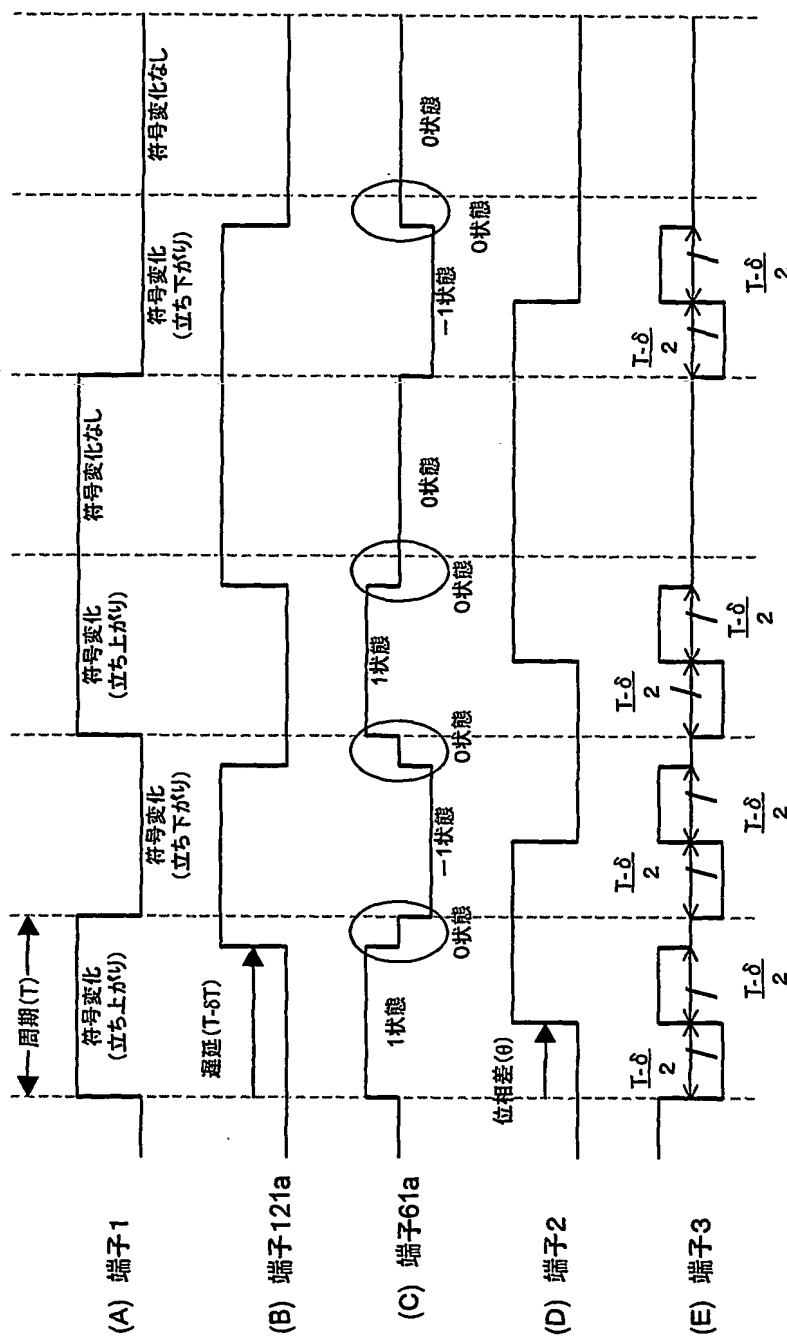


FIG. 12



11/12

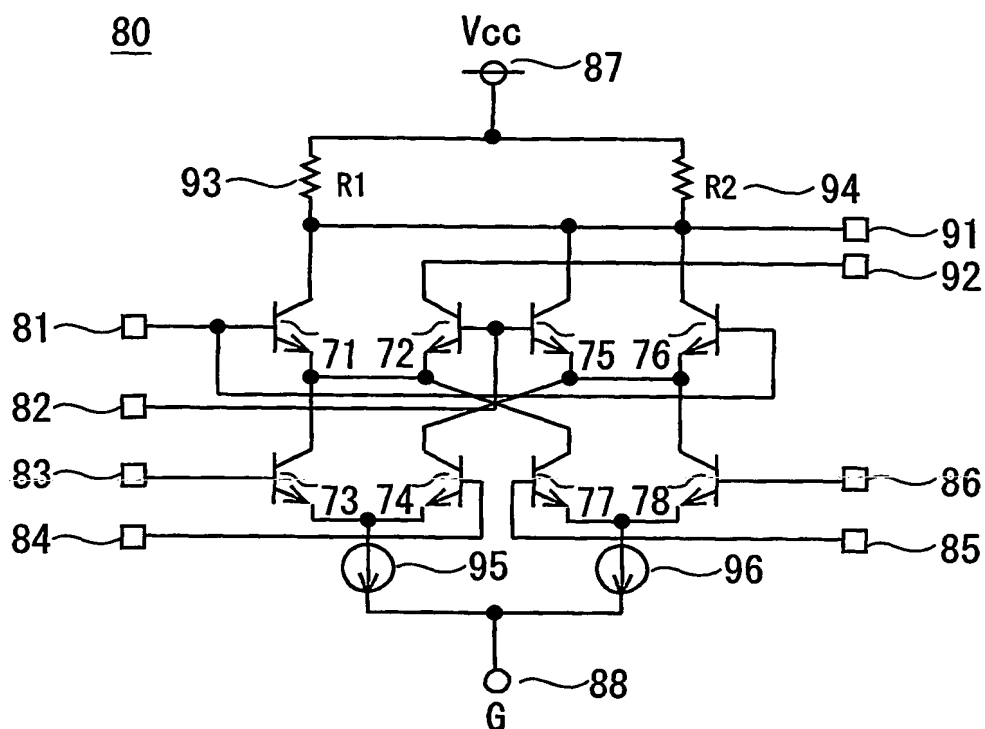


FIG. 13

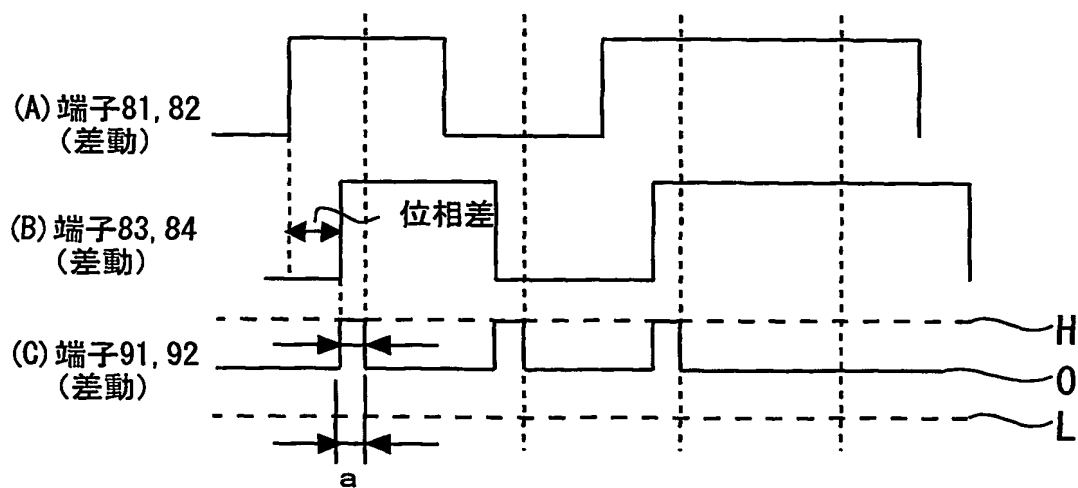


FIG. 14



12/12

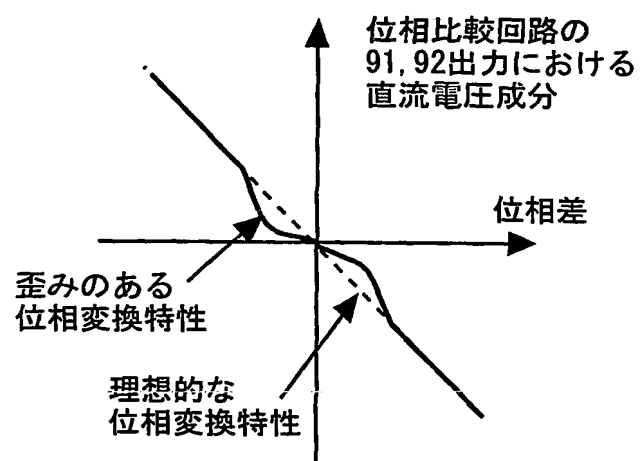


FIG. 15





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/08910

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H04L 7/033 H03L7/08 H03K 5/26

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H04L 7/033 H03L7/08 H03K 5/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Toroku Jitsuyo Shinan Koho	1994-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-122232 A (Fujitsu Limited), 30 April, 1999 (30.04.99), Fig. 1 and its explanation (Family: none)	1-7
A	JP 6-268514 A (Toshiba Corporation), 22 September, 1994 (22.09.94), Fig. 1 and its explanation (Family: none)	1-7
A	JP 7-38544 A (Oki Electric Industry Co., Ltd.), 07 February, 1995 (07.02.95), Fig. 2 and its explanation (Family: none)	1-7
A	JP 6-37838 A (Sony Corporation), 10 February, 1994 (10.02.94), Fig. 1 and its explanation (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
17 December, 2001 (17.12.01)Date of mailing of the international search report  
25 December, 2001 (25.12.01)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone N .



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L 7/033 H03L7/08 H03K 5/26

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04L 7/033 H03L7/08 H03K 5/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2001年

日本国実用新案登録公報 1996-2001年

日本国登録実用新案公報 1994-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-122232 A (富士通株式会社) 30. 4月. 1 999 (30. 04. 99), 第1図とその説明 (ファミリーなし)	1-7
A	JP 6-268514 A (株式会社東芝) 22. 9月. 199 4 (22. 09. 94), 第1図とその説明 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に関する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

17. 12. 01

国際調査報告の発送日

25.12.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘

5K 9382

電話番号 03-3581-1101 内線 3555



## C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-38544 A (沖電気工業株式会社) 07. 2月. 1 995 (07. 02. 95), 第2図とその説明 (ファミリーなし)	1-7
A	JP 6-37838 A (ソニー株式会社) 10. 2月. 199 4 (10. 02. 94), 第1図とその説明 (ファミリーなし)	1-7